



REC'D 27 OCT 1999

WIPO PCT

DE 99 / 2130

Bescheinigung

09 / 762517

Die Siemens Aktiengesellschaft in München/Deutschland hat eine Patentanmeldung unter der Bezeichnung

"Integrierte Schaltung mit eingebautem Baugruppentest"

am 3. August 1998 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig die Symbole G 01 R, H 03 K und G 06 F der Internationalen Patentklassifikation erhalten.


München, den 25. August 1999

Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Keller



Aktenzeichen: 198 34 976.9

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

0-10-10 3070

BLANK PAGE

~~198 34 976.5 vom 03.08.98~~

1



Beschreibung

Integrierte Schaltung mit eingebautem Baugruppentest

- 5 Die Erfindung bezieht sich auf eine integrierte Schaltung mit eingebautem Baugruppentest und insbesondere auf eine anwenderspezifische integrierte Schaltung (ASIC) mit einem eingebauten Selbsttest (BIST).
- 10 Eine Vielzahl von herkömmlichen integrierten Schaltungen besitzen bereits einen eingebauten Selbsttest (built-in self-test, BIST) mit dem bei jedem Neu-Einschalten der integrierten Schaltung eine interne Überprüfung der logischen Funktionen der integrierten Schaltung durchgeführt
- 15 wird. Dadurch können kritische Bausteine vor jedem Einsatz im System bzw. in einer bestimmten Hardware-Umgebung getestet werden. Auch integrierte Schaltungen von hoher Komplexität, wie zum Beispiel Prozessoren von INTEL, weisen bereits eine derartige Selbsttestschaltung auf. Diese her-
- 20 kömmlichen eingebauten Selbsttestschaltungen (BIST) überprüfen jedoch nur die interne Logik einer integrierten Schaltung. Alle nach außen gehenden Ausgangssignale bzw. von außen anliegenden Eingangssignale werden hierbei konstant gehalten und/oder nicht durchgeschaltet.
- 25 Obwohl dadurch eine Überprüfung der jeweiligen integrierten Schaltungen auf einfache und wirkungsvolle Weise möglich ist, bleibt jedoch ein Großteil der Fehler einer Baugruppe bzw. eines Boards unerkannt, die sich beispielsweise aus
- 30 fehlerhaften Board-Verbindungen, Kontaktfehlern an der Leiterplatte, schlechten Lötstellen, defekten I/O-Anschlüssen der Bausteine usw. ergeben.

Derartige Fehler einer Baugruppe werden herkömmlicherweise

35 in zeitaufwendigen Board-Tests erkannt und lokalisiert. Hierbei werden die teilbestückten Leiterplatten auf Fehler

überprüft, wobei jedoch kein vollständiger Test der Boards erreicht wurde.

5 Eine weiterer herkömmlicher Test eines vollständig aufgebauten Systems besteht darin, daß bei jedem Neustart Software-Testroutinen angestoßen werden, die die Baugruppe bzw. das Board funktional testen. Jedoch wird auch bei diesem Verfahren kein vollständiger Test des Boards erreicht. Vielmehr bleibt ein Großteil der möglichen Fehler auf einem
10 Board durch diesen Test unentdeckt, was erst im endgültigen Einsatz zu Ausfällen mit ausserordentlich hohen Kosten führt.

15 Der Erfindung liegt daher die Aufgabe zugrunde eine integrierte Schaltung gemäß dem Oberbegriff des Anspruchs 1 derart weiterzubilden, daß die Kosten für den Test einer Baugruppe wesentlich verringert werden können.

20 Diese Aufgabe wird erfindungsgemäß mit den im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmalen gelöst.

25 Erfindungsgemäß wird die in der integrierten Schaltung eingebaute Selbsttestschaltung somit nicht nur zum Testen der internen Logik sondern auch zum Testen der auf der Baugruppe befindlichen externen Logik verwendet. Insbesondere werden hierbei die Ein-/Ausgangsanschlüsse der integrierten Schaltung nicht konstant gehalten, sondern über eine Ein-/Ausgangsschaltung das in der Selbsttestschaltung erzeugte
30 Testmuster auch an die extern angeschlossenen Bausteine der Baugruppe ausgegeben und eine empfangene Testantwort dieser externen Bausteine mit der eingebauten Selbsttestschaltung (BIST) ausgewertet.

35 Vorzugsweise besitzt die Selbsttestschaltung einen Testmuster-Generator zum Erzeugen eines Testmusters bzw. einer Signatur in Form von Pseudo-Random-Vektoren sowie einen

Testantwort-Analysator zum Auswerten der von der internen Logik und/oder externen Logik kommenden Testantwort. Durch die Verwendung von bereits bekannten Testmuster-Generatoren und Testantwort-Analysatoren kann bei minimalem Aufwand und mit geringstem Platzbedarf in der integrierten Schaltung eine Selbsttestschaltung realisiert werden, die sowohl die interne als auch die externe Logik in der Baugruppe testet.

Vorzugsweise wird die interne Logik und die externe Logik gleichzeitig getestet, wobei ein erster Abschnitt des vom Testmuster-Generator erzeugten Testmusters an die interne Logik und ein zweiter Abschnitt der Signatur an die externe Schaltung ausgegeben wird. Sowohl von der internen Logik als auch von der externen Schaltung erhält man die von der Signatur abgeleiteten jeweiligen Abschnitte einer Testantwort, die im gemeinsamen Testantwort-Analysator komprimiert und ausgewertet werden. Durch das gleichzeitige Testen der internen und externen Schaltung verringert sich insbesondere der Zeitaufwand für den Test bei jedem Neu-Einschalten des Systems. Alternativ ist aber auch ein zeitsequenzieller Test der internen Schaltung und der externen Schaltung möglich, wodurch der Flächenbedarf der Selbsttestschaltung in der integrierten Schaltung verringert werden kann.

Gemäß einem bevorzugten Ausführungsbeispiel weist die Ausgangsschaltung steuerbare Ein-/Ausgabetreiber zum Senden und Empfangen von bidirektionalen Signalen auf, wodurch die integrierte Schaltung auch in einer Hardwareumgebung getestet werden kann, die beispielsweise eine Busstruktur aufweist. Insbesondere durch die Verwendung einer Steuervorrichtung, die die Treiber der externen Bauelemente steuert, kann eine Zerstörung bzw. Beschädigung der Treiberstufen beim Selbsttest verhindert werden.

Ferner kann gemäß einem weiteren bevorzugten Ausführungsbeispiel die Steuervorrichtung der Selbsttestschaltung derart ausgestaltet sein, daß zwei Testläufe durchgeführt wer-

den, wobei der erste Testlauf einer Initialisierung von nicht definierten Bausteingruppen dient, während der zweite Testlauf dem eigentlichen Test der jeweiligen Bauelemente entspricht. Auf diese Weise können auch Bauelemente mit nicht definierten Anfangspegeln wie zum Beispiel Schreib-Lese-Speicher (RAMS) getestet werden, da sie im ersten Testlauf definiert beschrieben und erst im zweiten Testlauf getestet werden.

- 10 Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

- 15 Figur 1 ein Blockschaltdbild einer Baugruppe gemäß einem ersten bevorzugten Ausführungsbeispiel mit einer integrierten Schaltung und einer externen Schaltung;
Figur 2 ein schematisches Blockschaltdbild eines in Figur 1 dargestellten Testmuster-Generators;
20 Figur 3 ein schematisches Blockschaltdbild eines in Figur 1 dargestellten Testantwort-Analysators;
Figur 4 eine Darstellung zur Veranschaulichung der Aufteilung eines Testmusters in einen ersten Teil für die interne Logik und einen zweiten Teil für die externe Schaltung;
25 Figur 5 ein Blockschaltdbild einer Baugruppe gemäß einem zweiten bevorzugten Ausführungsbeispiel mit einer integrierten Schaltung und einer externen Schaltung mit Busstruktur;
30 Figur 6 eine Darstellung eines Bustaktsignals der in Figur 5 dargestellten Busstruktur zur Veranschaulichung der Bausteinauswahl; und
Figur 7 eine Blockdarstellung eines Schreib-Lese-Speichers wie er beispielsweise als externes Bauelement in der
35 Busstruktur gemäß Figur 5 verwendet werden kann.

Die Figur 1 zeigt ein Blockschaltbild einer Baugruppe gemäß einem ersten bevorzugten Ausführungsbeispiel, mit einer integrierten Schaltung 1, einer ersten externen Schaltung 14 und einer zweiten externen Schaltung 15. Die integrierte Schaltung 1 wird nachfolgend als ASIC 1 bezeichnet, da sie vorzugsweise aus einer anwenderspezifischen integrierten Schaltung (ASIC) besteht. Derartige integrierte Schaltungen sind für die vorliegende Erfindung besonders geeignet, da sie für bestimmte Anwendungsfälle speziell entworfen werden, wobei üblicherweise die Hardware bzw. die externe Beschaltung genau festgelegt ist und in hohen Stückzahlen als Systemboard oder Modul-Baugruppe hergestellt wird.

Der ASIC 1 besitzt eine interne Logik 2, die aus einer Vielzahl von logischen Gattern besteht und die logische Funktion des ASICs 1 realisiert. Das Bezugszeichen 3 bezeichnet eine eingebaute Selbsttestschaltung (built-in selftest, BIST), die im wesentlichen einen Testmuster-Generator 4 und einen Testantwort-Analysator 5 aufweist.

Die Figur 2 zeigt ein schematisches Blockschaltbild des Testmuster-Generators 4. Der Testmuster-Generator 4 besteht beispielsweise aus einem linear rückgekoppelten Schieberegister (LFSR). Hierbei befinden sich eine Vielzahl von Flip-Flops 18 in einer Reihenschaltung, wobei das Ausgangssignal des letzten Flip-Flops an den Eingang des ersten Flip-Flops rückgekoppelt ist. Zur Erzeugung von Pseudo-Random-Vektoren, die als Testmuster 16 verwendet werden, können sich zwischen den jeweiligen Flip-Flops XOR-Gatter 19 befinden, die eine Exklusiv-ODER-Verknüpfung des Ausgangssignals eines jeweiligen Flip-Flops 18 mit dem Ausgangssignal des letzten Flip-Flops ermöglichen. Das aus dieser Exklusiv-ODER-Verknüpfung resultierende Signal wird jeweils dem nachfolgenden Flip-Flop an dessen Eingang zugeführt. Die Ausgänge der seriell verschalteten Flip-Flops 18 dienen als Ausgangssignal und liefern ein Testmuster bzw. eine Testsignatur 16, die einen Pseudo-Random-Vektor darstellt,

der bei einer Anzahl von n Flip-Flops $2^n - 1$ Zustände in
scheinbar zufälliger aber wiederholbarer Reihenfolge wie-
dergibt. Ein derartiges Testmuster bzw. eine derartige
Testsignatur 16 eignet sich in hervorragender Weise zum
5 Testen von hochkomplexen Logikschaltungen, da es bei ent-
sprechender Testdauer eine außerordentlich hohe Testschärfe
aufweist.

Die Figur 3 zeigt ein schematisches Blockschaltbild des zum
10 Testmuster-Generator 4 gemäß Figur 2 dazugehörigen Testant-
wort-Analysators 5, wie er zur Komprimierung und Auswertung
einer Testantwort verwendet wird. Das vom Testmuster-Gener-
ator 4 erzeugte Testmuster 16 wird einer zu testenden
Schaltung zugeführt und erzeugt dabei an deren Ausgangsan-
15 schlüssen eine Testantwort 17. Diese Testantwort 17 wird
dem Testantwort-Analysator 5 zugeführt, der gemäß Figur 3
aus einer Vielzahl von seriell verschalteten Flip-Flops 18
besteht und wiederum ein linear rückgekoppeltes Schiebereg-
ister (linear-feedback-shift-register, LFSR) aufweist. Der
20 Testantwort-Analysator 5 ist in einer dem Testmuster-Gener-
ator 4 und der zu testenden Schaltung entsprechenden Weise
derart aufgebaut, daß er die von der zu testenden Schaltung
ausgesendete Testantwort 17 in geeigneter Weise komprimiert
und ein den überprüften logischen Funktionen der zu
25 testenden Schaltung entsprechendes Ausgangssignal ausgibt.
Auf der Grundlage dieser Ausgangssignale und in Kenntnis
der zu erwartenden Ausgangssignale kann bei ausreichend
großer Anzahl von Testmustern 16 eine ausreichend hohe
Testgenauigkeit bzw. -schärfe zum Erfassen von Fehlern in
30 der zu testenden Schaltung erreicht werden. Die in den
Figuren 2 und 3 dargestellten Beispiele für den Testmuster-
Generator 4 und den Testantwort-Analysator 5 dienen
lediglich der grundsätzlichen Erläuterung für das Erzeugen
von geeigneten Testmustern und die Auswertung von entspre-
35 chenden Testantworten. Selbstverständlich können die vor-
stehend beschriebenen Testmuster bzw. Testantworten auch
auf andere Weise erzeugt bzw. ausgewertet werden.

Die Besonderheit der vorliegenden Erfindung liegt nunmehr darin, daß ein von dem Testmuster-Generator 4 erzeugtes Testmuster 16 nicht nur an die interne Logik des ASICs 1
5 ausgegeben wird, sondern darüber hinaus über eine Ausgangsschaltung 7 an die Ausgangsanschlüsse der integrierten Schaltung bzw. des ASICs 1. Im Gegensatz zu einer herkömmlichen integrierten Schaltung mit eingebautem Selbsttest, bei der die Ausgangs- und Eingangsanschlüsse des Bausteins
10 konstant gehalten werden, liegt bei der erfindungsgemäßen integrierten Schaltung 1 zumindest ein Teil des vom Testmuster-Generator 4 erzeugten Testmusters 16 über Ausgangstreiber 9 an den Ausgangsanschlüssen der integrierten Schaltung 1 an.

15 Die Figur 4 zeigt eine Darstellung zur Veranschaulichung der Aufteilung des Testmusters 16 in einen ersten und zweiten Teil zum Testen der internen Logik 2 und der externen Logik 14. Gemäß Figur 4 besteht die interne Logik 2 des
20 ASICs 1 lediglich aus einem UND-Gatter 20. Die externe Schaltung 14 ist beispielhaft aus einem ODER-Gatter 21 und einem Flip-Flop 22 aufgebaut. Diese sehr vereinfachte Darstellung einer zu testenden Baugruppe soll nachfolgend die Wirkungsweise des erfindungsgemäßen ASICs darstellen. Zum
25 Testen der logischen Funktion des UND-Gatters 20 in der internen Logik 2 des ASICs 1 benötigt man drei Testmuster (11, 01, 10). Mit einem deartigen Testmuster kann die logische Funktion des UND-Gatters 20 vollständig getestet werden. Das in der externen Schaltung befindliche ODER-
30 Gatter 21 kann mit drei Testmustern (01, 10, 00) getestet werden. Für einen Minimaltest des Flip-Flops 22 genügt die Überprüfung der Änderung des logischen Pegels am Ausgang des Flip-Flops 22 in Abhängigkeit vom Taktsignal.

35 Daraus ergibt sich die in Figur 4 dargestellte Testmusterfolge (011, 001, 010, 1XX) mit der ein Minimaltest der internen Logik 2 sowie der externen Schaltung 14 durchgeführt

werden kann. Erfindungsgemäß erzeugt der Testmuster-Generator 4 ein entsprechendes Testmuster, wobei ein erster Teil TM1 des Testmusters 16 der internen Logik 2 bzw. dem UND-Gatter 20 zugeführt wird, während ein zweiter Teil TM2 des Testmusters 16 über einen Ausgangstreiber 9 und den Ausgangsanschluß des ASICs 1 der externen Schaltung 14 bzw. dem ODER-Gatter 21 zugeführt wird. Das Bezugszeichen TA1 stellt hierbei die Testantwort der internen Logik 2 dar, während TA2 die Testantwort der externen Schaltung 14 wiedergibt und über einen Eingangstreiber 9' dem Testantwort-Analysator 5 zugeführt wird. Die von der internen Logik 2 ausgegebene Testantwort TA1 (1, 0, 0, X) und die von der externen Schaltung 14 ausgegebene Testantwort TA2 (1, 0, 0, 1) ergeben die gesamte Testantwort 17 (11, 00, 00, X1), die dem Testantwort-Analysator 5 zur Auswertung zugeführt wird. Die vom Testantwort-Analysator 5 analysierten Signale werden dabei mit einer zu erwartenden Signalreihenfolge verglichen, wobei bei Übereinstimmung zwischen erwarteter und empfangener Signalreihenfolge ein erfolgreicher Test bzw. Fehlerfreiheit der internen Logik 2 und der externen Schaltung 14 vorliegt.

Besteht die externe Schaltung 14 aus einer rein kombinatorischen Schaltung, so ist eine Taktsynchronität und/oder ein definiertes Rücksetzen der externen Bauteile nicht erforderlich. Besteht jedoch die externe Schaltung 14 wie in Figur 4 dargestellt auch aus einem sequenziellen Baustein, d.h. getaktetes Flip-Flop 22 oder dgl., so müssen alle in den Selbsttest einbezogenen Einheiten taktsynchron arbeiten und definiert zurückgesetzt werden. Hierbei muß der ASIC 1 einen Anschluß aufweisen, der ein derartiges definiertes Rücksetzen sowie taktsynchrones Arbeiten ermöglicht.

Die Figur 4 zeigt den ASIC 1 in Verbindung mit externen rein kombinatorischen sowie rücksetzbaren sequenziellen Bauelementen, die über unidirektionale Ein-/Ausgangssignale 10/11 mit dem ASIC 1 in Verbindung stehen. Gemäß Figur 1

kann eine externe Schaltung 15, die kombinatorische und/oder sequenzielle Bauelemente aufweist jedoch auch über bidirektionale Signale 12 mit dem ASIC 1 in Verbindung stehen. In diesem Fall muß die Ein-/Ausgangsschaltung 7 steuerbare Ein-/Ausgangstreiber 8 aufweisen, die eine zeitliche Trennung der ausgehenden Testmuster und eingehenden Testantworten ermöglicht. Eine derartige Steuerung wird durch eine Steuervorrichtung 6 realisiert, die vorzugsweise in Abhängigkeit von einem Taktsignal der bidirektionalen Signale 12 die Ein-/Ausgangstreiber 8 in der Ein-/Ausgangsschaltung 7 steuert. Darüber hinaus muß die Steuervorrichtung 6 ein Treiber-Freigabesignal über eine Treiberstufe 8' an einen Ausgangsanschluß des ASICs 1 schalten, damit das Treiber-Freigabesignal 13 den Treiber des externen Bauelements zum richtigen Zeitpunkt freigibt. Mit Ausnahme der zeitlichen Unterteilung für das Senden der Signatur und das Empfangen der Testantwort auf einer Signalleitung erfolgt der Selbsttest in gleicher Weise wie vorstehend beschrieben.

In der vorstehend beschriebenen Selbsttestschaltung 3 wurde davon ausgegangen, daß das vom Testmuster-Generator 4 erzeugte Testmuster 16 aufgeteilt und an die interne sowie die externe Logik abgegeben wird. In gleicher Weise ist es jedoch auch möglich eine zeitliche Aufteilung des vom Testmuster-Generator 4 erzeugten Testmusters 16 durchzuführen, wobei in einem ersten Zeitabschnitt das Testmuster vollständig an die interne Logik 2 gesendet wird, während es in einem zweiten Zeitabschnitt vollständig an die externe Schaltung 14 bzw. 15 abgegeben wird. Ebenso ist eine Selbsttestschaltung denkbar, die aus zwei Testmuster-Generatoren und zwei Testantwort-Analysatoren besteht, die jeweils der internen sowie der externen Logik zugeordnet sind. Die Wirkungsweise entspricht jedoch der vorstehend beschriebenen Wirkungsweise.

Die Figur 5 zeigt ein Blockschaltbild einer Baugruppe gemäß einem zweiten bevorzugten Ausführungsbeispiel, wobei der ASIC 1 mit einer Busstruktur 12' der Baugruppe bzw. des Boards in Verbindung steht. Zumindest ein an der Busstruktur 12' angeschlossenes Bauelement stellt ein Bauteil dar, dessen interne Zustände durch ein Rücksetz-Signal nicht auf definierte Werte gebracht werden können. Derartige Bauteile sind beispielsweise Schreib-Lese-Speicher (RAMS) und dergleichen.

10

Die Figur 7 zeigt eine Blockdarstellung eines Schreib-Lese-Speichers 23 mit seinen Dateneingängen Din, Adresseingängen ADR, seinem Schreib-Freigabeeingang WE, seinem Baustein-Freigabeeingang CE und seinen Datenausgängen Dout, wie er beispielsweise in der Schaltung gemäß Figur 5 verwendet werden kann.

Derartige speichernde Bausteine, deren interne Zustände durch ein Rücksetz-Signal nicht auf einen definierten Pegel gebracht werden können erfordern beim Selbsttest eine gesonderte Behandlung. Erfindungsgemäß erzeugt die Steuervorrichtung 6' des ASICs 1 einen gesonderten Testlauf vor dem eigentlichen Selbsttest bis alle in der externen Schaltung und/oder internen Logik 2 verwendeten Zustände initialisiert sind. Erst nach dieser Initialisierung, bei der beispielsweise in das RAM 23 Daten definiert eingeschrieben werden, erfolgt der eigentliche Selbsttest. Für diese Initialisierung kann das vom Testmuster-Generator 5 erzeugte Testmuster 16 für die Adressierung und die Einschreibung der Daten verwendet werden. Es kann aber auch eine davon unabhängige Initialisierungsschaltung verwendet werden, mit der die jeweiligen Bauelemente 23 vor dem eigentlichen Selbsttest initialisiert werden.

35 Ein weiteres Problem der in Figur 5 dargestellten Busstruktur ist ein zwischen den Bauelementen 23 auftretender Treiberkonflikt. Bei den heute üblichen CMOS-Treibern der

Bausteine muß ein derartiger Treiberkonflikt vermieden werden, um Beschädigungen zu verhindern. Da jedoch bei dem erfindungsgemäßen Selbsttest alle Signale bzw. Testmuster normalerweise mit einer Pseudo-Random-Stimulierung beaufschlagt werden, ist bei einer derartigen zufälligen Ansteuerung eines jeweiligen Treiber-Enable-Signals ein Buskonflikt zu befürchten. Zur Vermeidung dieses Problems darf bei n an einer Busstruktur 12' angeschlossenen Bausteinen ein Baustein nur in jedem 2 x nten Takt seinen Ausgang treiben.

Die Figur 6 zeigt eine zeitliche Darstellung eines Bustaktsignals zur Veranschaulichung der konfliktfreien Ansteuerung einer Vielzahl von Bausteinen in einer Busstruktur. Bei der in Figur 5 dargestellten externen Schaltung mit zwei externen Bausteinen 23 treibt der ASIC 1 nur zu den Takten 0, 6, 12, Der Baustein ① treibt nur in den Takten 2, 8, 14, ... während der Baustein ② nur in den Takten 4, 10, 16 ... seinen Ausgang treibt. Alle ungeraden Takte bleiben zur Vermeidung von Buskonflikten zwischen dem abschaltenden und beginnenden Treiber frei. Für dieses Verfahren muß das Treiber-Steuersignal 13' zum Freigeben des jeweiligen Bausteins 23 der externen Logik zugänglich sein. Dies bedeutet, daß der ASIC 1 eventuell zusätzliche Ausgangsanschlüsse aufweisen muß, um unter Steuerung der Steuervorrichtung 6' die Treiber-Freigabesignale 13' der externen Schaltung zuzuführen.

Ein weiteres Problem kann sich für den Fall ergeben, bei dem eine Baugruppe mehrere erfindungsgemäße ASICs bzw. integrierte Schaltungen 1 aufweist. In diesem Fall würden nämlich mehrere integrierte Schaltungen versuchen, einen Selbsttest der externen Schaltung durchzuführen. Dies würde jedoch entweder zu verfälschten Testergebnissen führen oder sogar eine Beschädigung der Treiberstufen in den jeweiligen Bauelementen hervorrufen. Zur Lösung dieses Problems kann

daher die Ein-/Ausgangsschaltung gezielt deaktiviert werden, wodurch das Durchführen eines externen Tests verhindert wird. Dies bedeutet, daß die Testmuster nicht über die Ein-/Ausgabetreiber 8 bzw. 9 und die Ausgangsanschlüsse des Bausteins an die externe Schaltung gesendet werden, womit sich der Baustein wie eine herkömmliche integrierte Schaltung mit eingebautem Selbsttest verhält.

Die vorliegende Erfindung wurde insbesondere anhand einer anwenderspezifischen integrierten Schaltung 1 (ASIC) beschrieben, da eine derartige Schaltung besonders auf die jeweiligen Anforderungen einer eng begrenzten Anwendung zugeschnitten ist. In Kenntnis dieser Anwendung bzw. der Baugruppe in der der ASIC 1 eingesetzt werden soll, kann somit in einfacher Weise auch ein Selbsttest für die externe Schaltung mit implementiert werden, wodurch bei jedem Neustart einer Baugruppe bzw. eines Hardware-Moduls ein Selbsttest durchgeführt wird und auf äußerst einfache und kostengünstige Weise ein vollständiges Board getestet wird.

Patentansprüche

1. Integrierte Schaltung mit
einer Vielzahl von logischen Gattern (2) zur Realisierung
5 einer logischen Funktion der integrierten Schaltung (1) und
einer Selbsttestschaltung (3) zum Durchführen eines in-
ternen Selbsttests der Vielzahl von logischen Gattern (2),
dadurch gekennzeichnet daß
die Selbsttestschaltung (3) eine Ein-/Ausgangsschaltung (7)
10 aufweist, mittels der die Selbsttestschaltung (3) einen
Test einer externen Schaltung (14, 15) durchführt.
2. Integrierte Schaltung nach Patentanspruch 1,
dadurch gekennzeichnet daß
15 die Selbsttestschaltung (3) einen Testmuster-Generator (4)
zum Erzeugen eines Testmusters (16) und einen Testantwort-
Analysator (5) zum Auswerten einer Testantwort (17) auf-
weist.
- 20 3. Integrierte Schaltung nach Patentanspruch 2,
dadurch gekennzeichnet daß
der Testmuster-Generator (4) und der Testantwort-Analysator
(5) aus linear rückgekoppelten Schieberegistern besteht.
- 25 4. Integrierte Schaltung nach Patentanspruch 2 oder 3,
dadurch gekennzeichnet daß
der Testmuster-Generator (4) Pseudo-Random-Vektoren als
Testmuster erzeugt.
- 30 5. Integrierte Schaltung nach einem der Patentansprüche 2
bis 4,
dadurch gekennzeichnet daß
die Vielzahl von logischen Gattern (2) und die externe
Schaltung (14, 15; 23) gleichzeitig getestet werden, wobei
35 ein erster Teil (TM1) des Testmusters (16) der Vielzahl von
logischen Gattern (2) und ein zweiter Teil (TM2) über die
Ein-/Ausgangsschaltung (7) der externen Schaltung (14, 15;

14

23) zugeführt wird, während sich die Testantwort (17) aus einem ersten Teil der Antwortsignale (TA1) der Vielzahl von logischen Gattern (2) und aus einem zweiten Teil der Antwortsignale (TA2) der externen logischen Schaltung (14, 15; 5 23) ergibt.

6. Integrierte Schaltung nach einem der Patentansprüche 1 bis 5,
dadurch gekennzeichnet daß
10 die Ein-/Ausgangsschaltung (7) Ein-/Ausgabetreiber (9, 9') zum Senden und Empfangen von unidirektionalen Signalen (10, 11) zwischen der Selbsttestschaltung (3) und der externen Schaltung (14) aufweist.

15 7. Integrierte Schaltung nach einem der Patentansprüche 1 bis 6,
dadurch gekennzeichnet daß
die Ein-/Ausgangsschaltung (7) steuerbare Ein-/Ausgabetreiber (8) zum Senden und Empfangen von bidirek-
20 tionalen Signalen (12) zwischen der Selbsttestschaltung (3) und der externen Schaltung (15) aufweist, wobei eine Steuervorrichtung (6) die Treiber der Ausgangsschaltung (7) sowie der externen Schaltung (15) steuert.

25 8. Integrierte Schaltung nach Patentanspruch 7,
dadurch gekennzeichnet daß
die Steuervorrichtung (6) die Selbsttestschaltung (3) und die Ausgangsschaltung (7) derart steuert, daß in einem ersten Testzyklus eine Initialisierung der externen Schaltung
30 (15; 23) und in einem zweiten Testzyklus der Selbsttest der Vielzahl von logischen Gattern (2) sowie der externen Schaltung (15) durchgeführt wird.

9. Integrierte Schaltung nach Patentanspruch 7 oder 8,
35 dadurch gekennzeichnet daß
die Ein-/Ausgangsschaltung (7) einen Busanschluß zum Verbinden mit einer externen Busstruktur (12') und die Steuer-

15

vorrichtung eine Bussteuerung (6') aufweist, wobei an der Busstruktur (12') angeschlossene externe Schaltungselemente (23) selektiv über jeweilige Freigabesignale (13') für einen Selbsttest ausgewählt werden.

5

10. Integrierte Schaltung nach Patentanspruch 9, dadurch gekennzeichnet daß die Bussteuerung (6') einen Zähler zum Zählen eines Bustaktsignals aufweist, wobei die steuerbaren Ausgangstreiber (8) nur alle geraden Taktzyklen des Bustaktsignals angesteuert werden und die jeweiligen Freigabesignale (13') sequenziell alle ungeraden Taktzyklen des Bustaktsignals zum Freigeben der jeweiligen externen Schaltungselemente (23) ausgegeben werden.

10

15

11. Integrierte Schaltung nach einem der Patentansprüche 1 bis 10, dadurch gekennzeichnet daß die Ein-/Ausgangsschaltung (7) selektiv deaktivierbar ist.

Zusammenfassung

Integrierte Schaltung mit eingebautem Baugruppentest

- 5 Die Erfindung betrifft eine integrierte Schaltung (1), insbesondere ein ASIC, die aus einer Vielzahl von logischen Gattern (2) besteht. Zum Durchführen eines internen Selbsttests der Vielzahl von logischen Gattern (2) ist eine Selbsttestschaltung (3) vorgesehen, die einen Testmuster-
10 stergenerator (4) und einen Testantwort-Analysator (5) aufweist. Über eine in der integrierten Schaltung vorgesehene Ein-/Ausgangsschaltung (7) kann mit der in der integrierten Schaltung eingebauten Selbsttestschaltung (3) darüber hinaus ein Test einer externen Schaltung (14, 15)
15 durchgeführt werden.

Figur 1

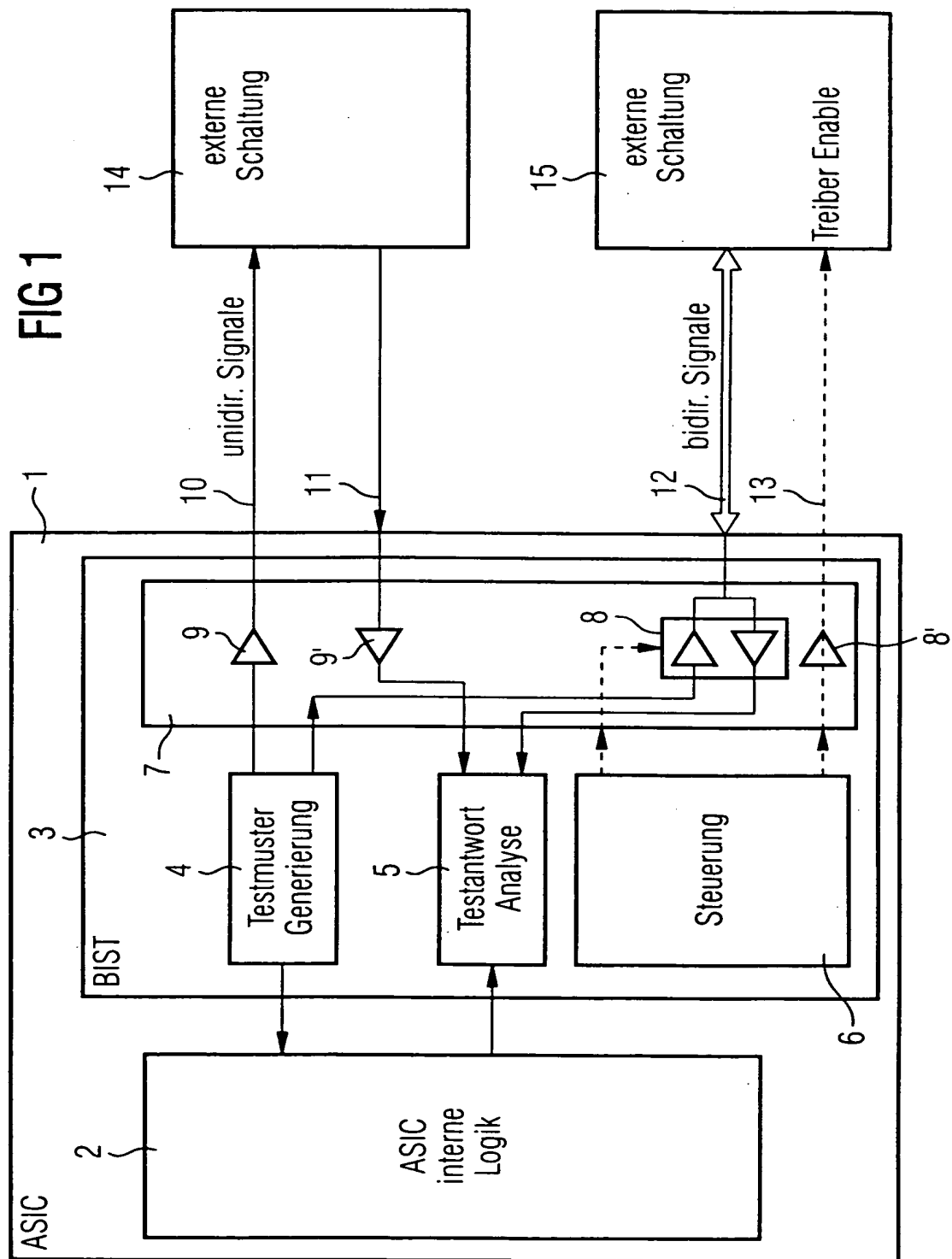


FIG 2

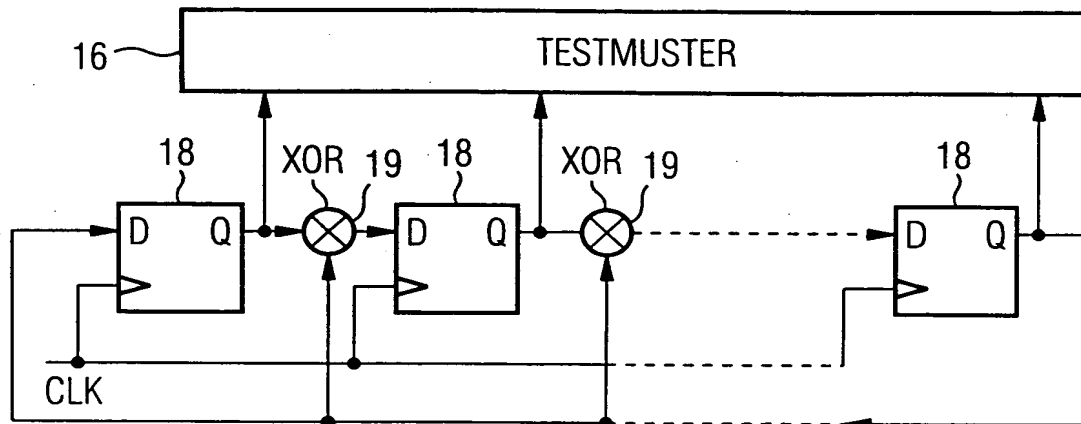


FIG 3

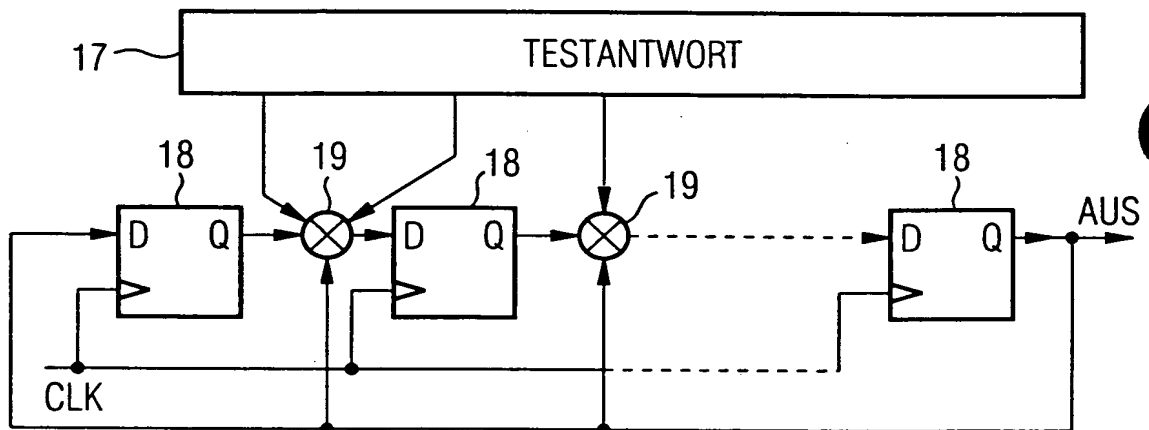


FIG 4

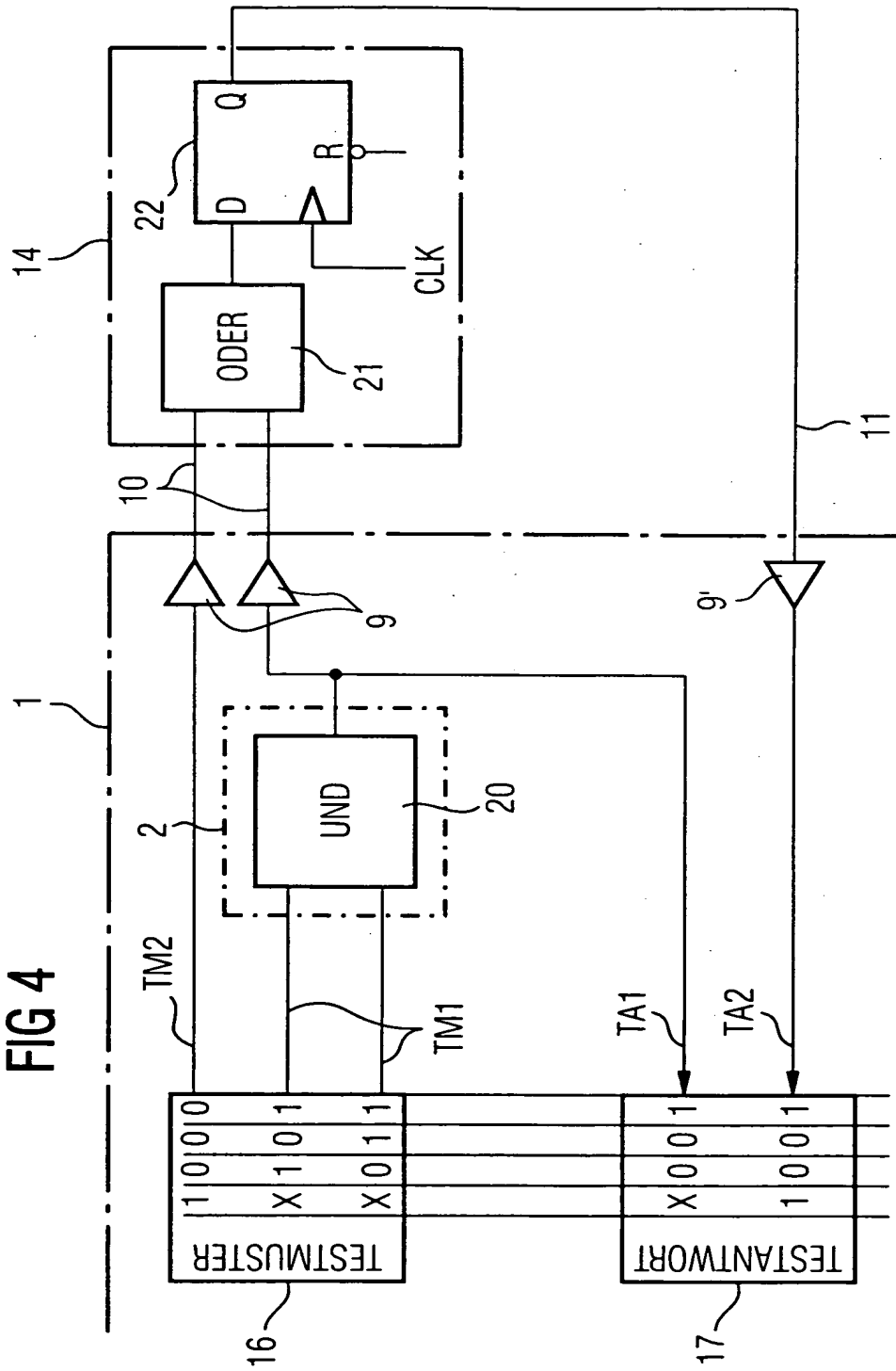


FIG 5

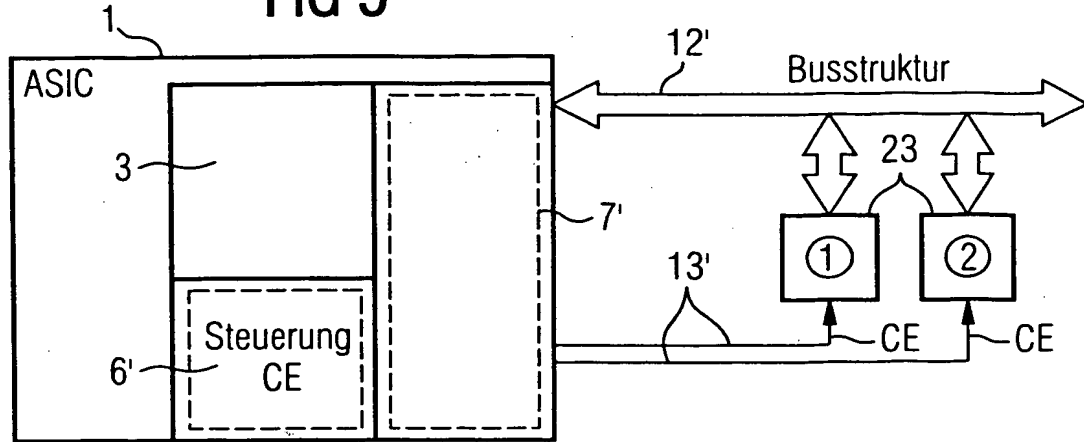


FIG 6

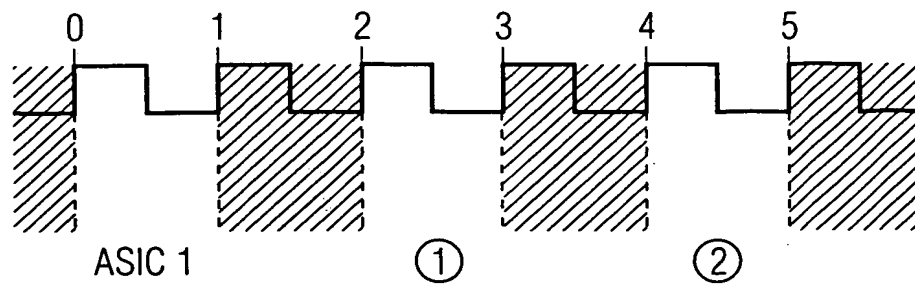


FIG 7

